

4 AD-DA Wandler

Analoge Daten werden vielfach in digitaler Form benötigt wenn sie gespeichert, übertragen, verarbeitet oder angezeigt werden müssen. Sensoren und andere Datenquellen liefern meist ein analoges Signal.

Die nachfolgende digitale Bearbeitung bringt Vorteile in Flexibilität und Funktionalität, vor allem wenn umfangreiche Operationen notwendig werden, z.B. Kalibration, mathematische Operationen, Langzeitspeicherung, etc.

Für DSP-Systeme, welche am Ausgang wiederum analoge Signale liefern müssen, werden auch kombinierte AD-DA Wandler angeboten. Sie werden als CODEC (**C**oder-**D**ecoder) bezeichnet.

4.1 AD-Wandler

Aufgabe des AD-Wandlers ist es eine Spannung in eine proportionale binäre Zahl umzuwandeln. Die Wandlung erfolgt für Messzwecke meist linear, kann aber z.B. für Telekomwendungen auch gewichtet (μ -Law, a-Law) erfolgen.

Man unterscheidet heute vier gebräuchliche Verfahren:

- Parallelverfahren (1 Wort pro Zyklus)
- Zählverfahren (Single-/Dual Slope) (1 Digit pro Zyklus)
- Sukzessive Approximation (1 Pegel pro Zyklus)
- $\Delta\Sigma$ -Verfahren (Überabstastverfahren)

Auch Mischformen wie Half-Flash-Wandler, Kaskaden $\Delta\Sigma$ -Wandler sind üblich.

Die Wandler unterscheiden sich in Präzision (Bitbreite), Umsetzfehler (Linearität), Wandlungszeit (max. Samplerate), Methode, Aufwand, Ausgangsinterface und Preis. Generell gilt: Je höher die geforderte Umsetzgenauigkeit, desto grösser die notwendige Umsetzzeit. Ferner je schneller und präziser, desto teurer.

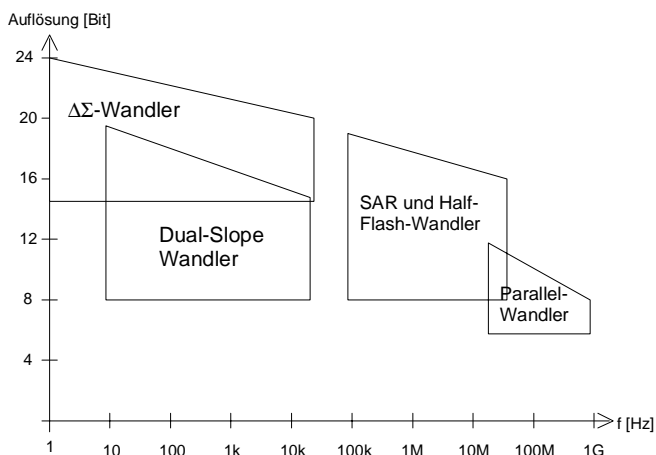


Bild 4-1: Maximal mögliche Umsetzfrequenzen von AD-Wandler in integrierter Technik. Stand: 1999, nach Unterlagen von Burr-Brown und Maxim.

Mittlerweile werden die Wandler fast ausschliesslich in monolithischer Technologie gefertigt. Hybrid- oder diskrete Module waren in den 70er Jahren noch üblich, werden aber heute nur für (sehr teure) Spezialanwendungen eingesetzt (Bsp. Burr-Brown)

4.1.3 AD-Wandler Kenngrößen

Die Kenngrößen verkörpern Auswahlkriterien. Sie sind durch die Wandlungsmethode in gewissen Grenzen vorgegeben. Eine zusammenfassende Beschreibung der Kenngrößen wird nach [ZOE97]:

Auflösung

Sie besagt, welche Wortbreite N in Bits zur Umsetzung verwendet wird. Daraus folgt die Wandlungsgenauigkeit (Resolution) der AD-Wandlung. Die kleinste umsetzbare Amplitude bei gegebener Wortbreite N wird:

$$x_{\min} = Q = x_{\max} 2^{-(N-1)} \quad (4-1)$$

Q verkörpert die Quantisierungsstufe, d.h. Pegeldifferenz für ein LSB am Ausgang.

Wandlungszeit

Sie beschreibt die minimal notwendige Zeit, die der Wandler zur Umsetzung benötigt.

Abtast-Halteschaltung (Sample&Hold-Schaltung)

Sie hält als Analogspeicher die Eingangsspannung während der Dauer der Wandlung konstant. Das Abtastintervall T_A wird dabei in eine Abtastzeit t_{ST} und eine Haltezeit t_H unterteilt. In der Abtastzeit t_{ST} wird das Eingangssignal erfasst und gespeichert. In der folgenden Haltezeit t_H erfolgt die Wandlung der konstanten Spannung in ein binäres Wort.

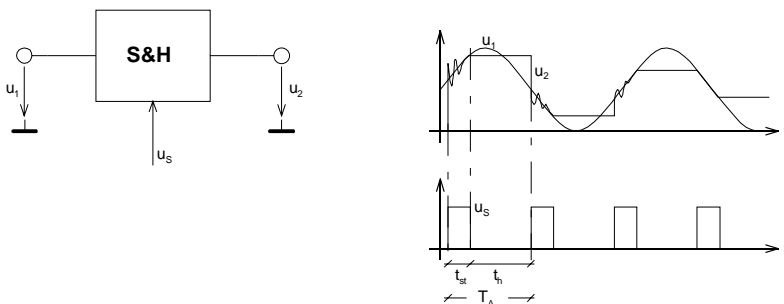


Bild 4-2: Sample&Hold-Schaltung mit Darstellung der Takt-, Ein- und Ausgangssignale.

Bild nach [ZOE99]

Apertur-Verzögerung

Zeitspanne zwischen dem Anlegen des Haltemodus und dem tatsächlichen Übergang in den Haltemodus.

Apertur-Jitter

Variation der Aperturverzögerung. Der Apertur-Jitter beschränkt die nutzbare Bandbreite des abzutastenden Signals, weil der Einfluss zu einer Verschlechterung des Signal-Rauschabstandes bei höheren Frequenzen führt.

Offset- und Verstärkungsfehler

Offsetfehler äussern sich in einer seitlichen Verschiebung der Umsetzkennlinie. Verstärkungsfehler in einer Abweichung der idealen Steigung. Meist kann schaltungstechnisch eine Kompensation erfolgen.

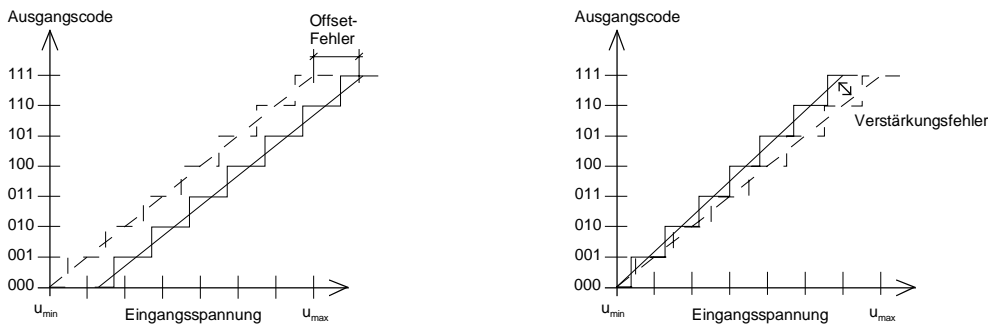


Bild 4-3: Einfluss der Offset- und Verstärkungsfehler beim AD-Wandler.
Bild nach [ZOE99]

Monotonie

Bei gleichmässig steigender Eingangsspannung wird eine gleichmässig steigende Ausgangsspannung in Quantisierungsschritten erwartet. Bei Monotoniefehler treten gewisse Ausgangscodes nicht auf (Missing Codes).

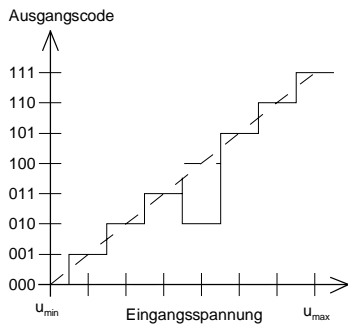


Bild 4-4: Monotoniefehler beim AD-Wandler. Sie äussern sich in „Missing Codes“.
Bild nach [ZOE99]

Integrale Nichtlinearität (INL)

Sie beschreibt den Fehler zwischen quantisiertem Wert und dem idealen kontinuierlichen Wert. Er wird in Anzahl LSB angegeben.

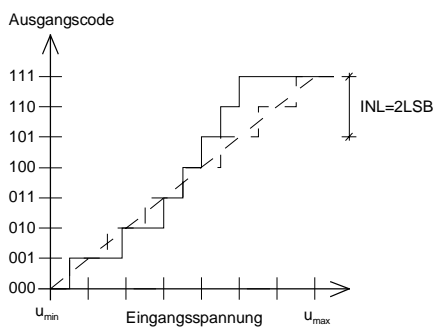


Bild 4-5: Integrale Nichtlinearität als Abweichung zwischen tatsächlichem und idealem Wert.
Bild nach [ZOE99]

Differenzielle Nichtlinearität

Idealerweise sind alle Quantisierungsstufen gleich breit. Die differenzielle Nichtlinearität (DNL) beschreibt den maximalen Stufenbreitenfehler in Anzahl LSB.

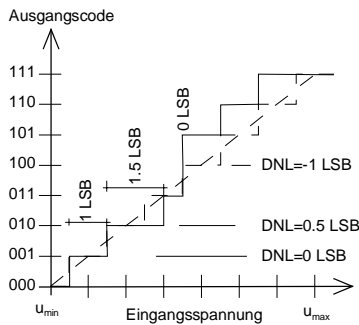


Bild 4-6: Differenzielle Nichtlinearität als Auswirkung der nicht äquidistanten Quantisierungsstufenbreite. Bild nach [ZOE99]

4.1.4 Nyquist-Abtastung

Erfolgt die Abtastung eines Analogsignals f_A mit einer Abtastfrequenz $f_s > 2f_A$, spricht man von Nyquist-Abtastung.

Mathematisch gesehen, entspricht die Abtastung einer Eingangsspannung $u_i(t)$ einer Faltung mit dem periodischen Dirac-Puls der Periode T_s .

$$\tilde{u}_1(t) = T_s \sum_{k=0}^{\infty} u_1(kT_s) \delta(t - kT_s) \quad (4-2)$$

Wir erhalten eine Impulsfolge in der Art wie in Bild 4-7. dargestellt mit den Werten $u_i(0)$, $u_i(T_s)$, $u_i(2T_s)$,...

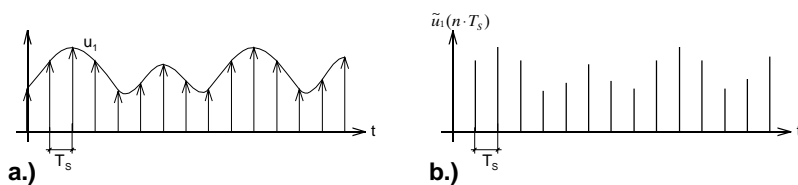


Bild 4-7: Abtastung eines analogen Eingangssignals mit einer periodischen Folge von Diracstößen (a) und resultierenden Impulsfolge (b).

Bereits ohne grosse mathematische Analyse lässt sich vermuten, dass durch die steilflankigen Impulse das Frequenzspektrum des ursprünglichen Eingangssignals verändert wird, indem höherfrequente Anteile zugefügt werden.

Das Spektrum des abgetasteten Signals wird mit einer Fourier-Transformation der abgetasteten Spannung $\tilde{u}_1(t)$ nach (4-2):

$$\tilde{X}(jf) = T_s \sum_{k=0}^{\infty} u_1(k \cdot T_s) \cdot e^{-2kj\pi f T_s} \quad (4-3)$$

Man erkennt das periodische Spektrum, wobei die Periodizität gleich der Abtastfrequenz f_s ist. Ferner

ist das Spektrum der abgetasteten Funktion $\left| \tilde{X}(jf) \right|$ im Bereich $-\frac{1}{2}f_s \leq f \leq \frac{1}{2}f_s$ identisch mit dem

Spektrum des Eingangssignales $|X(jf)|$. Dies ist insofern bemerkenswert, weil meist nur wenige Abtastwerte zur Bestimmung benutzt werden.

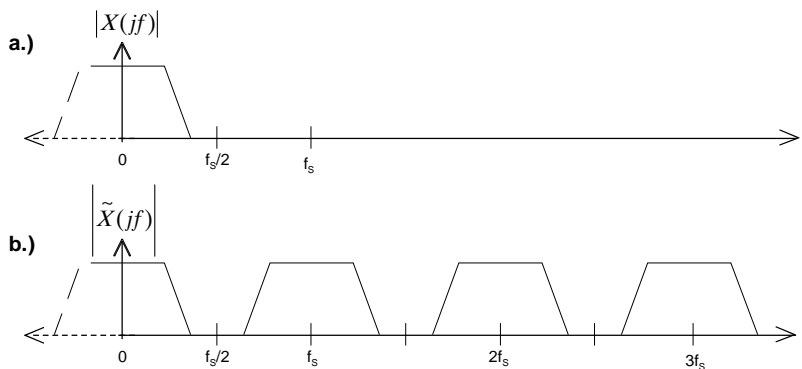


Bild 4-8: Spektrenduplizierung bei der Abtastung:
a.) Eingangsspektrum
b.) Periodisches Ausgangsspektrum nach der Abtastung.

Das Originalspektrum erscheint solange unverändert wie sich die periodisch wiederkehrenden Spektren nicht überlappen. Überlappen sich die Spektren, treten sog. Aliasing-Effekte auf.

Aus obigen Forderungen ergibt sich das Nyquist-Kriterium für die Abtastung:

$$f_s > 2f_{\max} \tag{4-4}$$

Daher kann ein abgetastetes Signal vollständig in Amplitude und Phase rekonstruiert werden, wenn mehr als zwei Abtastwerte pro Periode vorliegen. Die Gleichheit gilt übrigens in (4-4) nicht!

In der Praxis kann die Abtastung nicht mit einer idealen Dirac-Funktion erfolgen, sondern mit einem Rechteckfenster schmalere Breite. Dies wirkt aber wie ein Tiefpassfilter, indem das Spektrum mit einer si-Funktion gewichtet wird.

$$\tilde{X}^*(jf) = \frac{\sin(\pi \cdot f \cdot T_s)}{\pi \cdot f \cdot T_s} T_s \sum_{k=0}^{\infty} u_1(k \cdot T_s) \cdot e^{-2kj\pi f T_s} = \frac{\sin(\pi \cdot f \cdot T_s)}{\pi \cdot f \cdot T_s} \tilde{X}(jf) \tag{4-5}$$

Bei der halben Abtastfrequenz tritt durch die si-Funktion eine Abschwächung um den Faktor 0.64 auf. Beim Entwurf von Filtern ist diese Verzerrung zu berücksichtigen und wird bei Filtersyntheseprogrammen meist automatisch durchgeführt.

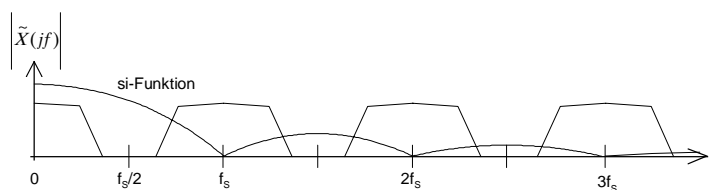


Bild 4-9: Si-bewertetes Ausgangsspektrum nach der Abtastung mit einem nicht-Dirac-Abtaster.

Zusammenfassung:

Bei Nyquist-Abtastung erscheint das Spektrum des Eingangssignals jeweils alle f_s gespiegelt. Das hat zur Konsequenz, dass in ein System mit Nyquist-Abtastung nur Eingangsfrequenzen bis $f_s/2$ eingespielt werden können, sonst treten Aliasing-Effekte auf. Durch ein analoges Tiefpassfilter vor dem Abtaster wird sichergestellt, dass die Eingangsfrequenzen über $f_s/2$ genügend gedämpft werden. Ist das Eingangssignal bereits genügend bandbreitenbegrenzt kann das Filter auch entfallen. Durch die nicht ideale Abtastung erscheint das Spektrum mit einer si-Funktion gewichtet, d.h. spektral höhere Frequenzen werden abgeschwächt. Richtwert: 64% bei $f_s/2$.

4.1.5 Überabtastverfahren

Zur Reduktion des analogen Filteraufwandes und zur Erhöhung der Wandlungsgenauigkeit werden vielfach Überabtastverfahren eingesetzt. Dabei wird das Eingangssignal mit einem ganzzahligen Vielfachen L der Abtastfrequenz abgetastet und gewandelt. Am Ausgang erfolgt eine Abtastratenwandlung (Dezimierung um L) auf die gewünschte Abtastrate.

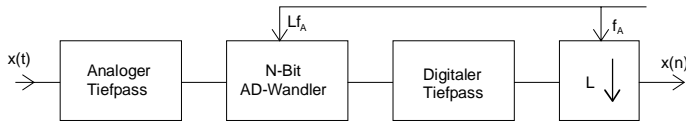


Bild 4-10: Prinzip eines überabtastenden AD-Wandlers.

Vorteile:

Wegen der spektralen Gleichverteilung der Fehlerleistung zwischen 0 und der Abtastfrequenz f_s kann bei einem Überabtastverfahren mit $L \cdot f_s$ im Nutzband um den Faktor L abgesenkt werden. Bei gleich grossen Quantisierungsstufen Q wird die spektrale Leistungsdichte S_{ee} des Quantisierungsfehlers:

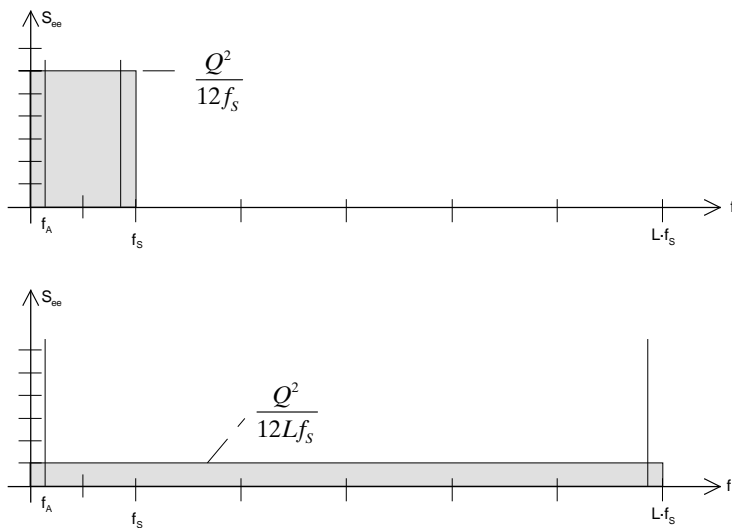


Bild 4-11: Spektrale Leistungsdichte des Quantisierungsfehlers Q bei oben: einfacher Abtastung unten: L -facher Überabtastung Nach: [ZOE97], S.68

Im Nutzband $[-f_A, +f_A]$ wird nach [ZOE97], S.68, bei Einfach-Abtastung mit $f_s = 2f_A$ und dem Leistungsdichtespektrum $S_{ee}(f) = \frac{Q^2}{12f_s}$ die Fehlerleistung:

$$N_A^2 = \sigma_E^2 = 2 \int_0^{f_A} S_{ee}(f) df = \frac{Q^2}{12} \tag{4-6}$$

Bei Überabtastung erfolgt eine Reduktion der spektralen Leistungsdichte des Quantisierungsfehlers im Nutzband um den Faktor $\frac{1}{L}$. Dies ergibt eine Fehlerleistung:

$$N_A^2 = \sigma_E^2 = \frac{Q^2}{12} \frac{1}{L} \tag{4-7}$$

Da bei Überabtastung der Frequenzbereich des analogen Filters am Eingang bis $L \cdot f_s - \frac{f_s}{2}$ reicht, können einfachere Filter verwendet werden. Nach erfolgter Wandlung werden mit einem digitalen Filter alle Frequenzen $> f_s/2$ abgefiltert. Der Abtastratenwandler reduziert die Abtastrate um den Faktor L , indem jeder L -te Wert aus dem digitalen Tiefpassfilter übernommen wird.

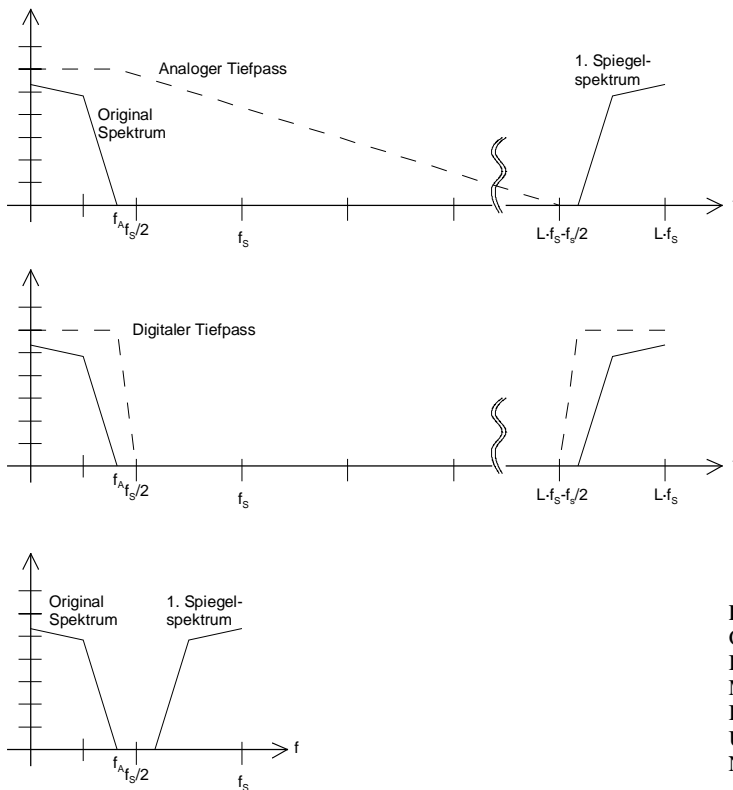


Bild 4-12: Spektren am überabtastenden AD-Wandler. Oben: Anforderung an den analogen Tiefpass und Spektrum bei L-facher Abtastung. Mitte: Filterung mit digitalem Tiefpass nach AD-Wandlung bei L-facher Abtastrate. Unten: Spektrum nach erfolgter Abtastratenreduktion. Nach [ZOE97],S.69

4.1.6 Sample& Hold Schaltungen

Sample und Hold-Schaltungen sind integraler Bestandteil der AD-Wandler. Aufgabe der S&H Schaltungen ist die Eingangsspannung durch Analogspeicherung während des Umsetzprozesses konstant zu halten. Würde der AD-Wandler ohne S&H-Glied betrieben, könnten nur Eingangsspannungen mit geringen Anstiegsgeschwindigkeiten umgesetzt werden.

Die schematische Ausführung eines Sample & Hold Gliedes:

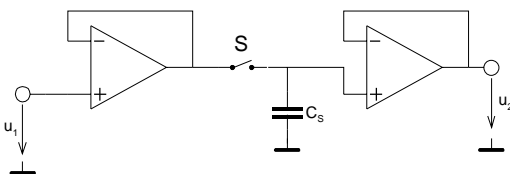


Bild 4-13: Funktioneller Aufbau einer Sample&Hold Schaltung.

Während der Schalter S geschlossen wird, erfolgt die Ladung des Kondensators auf den Wert der Eingangsspannung. Wird S geöffnet, wird der Wert der Kondensatorspannung gehalten. Die beiden OpAmps dienen zur Entkopplung, damit der Kondensator einerseits möglichst rasch der Eingangsspannung folgt, und andererseits die Ladung im Kondensator im Haltezustand lange erhalten bleibt und zwar unabhängig von der Belastung.

Zu den nicht idealen Eigenschaften der Sample&Hold-Schaltungen zählt die beschränkte Anstiegsgeschwindigkeit. Sie wird hauptsächlich durch den Maximalstrom des Impedanzwandlers am Eingang bestimmt.

Dann folgt ein Einschwingvorgang, der durch die parasitären Widerstände des Schalters und vom Ausgangswiderstand des Impedanzwandlers bestimmt wird. Nach der sog. Einstellzeit T_E hat die Ausgangsspannung den Wert der Eingangsspannung mit einer definierten Toleranz erreicht.

Wenn der Schalter S geöffnet wird, erfolgt der Wechsel in den Haltezustand. Der Schalter braucht dafür eine bestimmte Zeit zum Öffnen, die sog. Aperturzeit t_{apu} . Sie ist meist nicht konstant sondern schwankt in Abhängigkeit von der Eingangsspannung. Die Schwankung wird als Apertur-Jitter bezeichnet.

Die wichtigste Grösse im Haltezustand ist Haltedrift (Droop). Sie beschreibt, um wieviel sich die Ausgangsspannung durch Selbstentladung verändert. Diese Grösse wird durch das Dielektrikum des Speicherkondensators, den Sperrstrom des Schalters und den Eingangsstrom des Impedanzwandlers bestimmt.

S&H-Schaltungen werden mittlerweile ausschliesslich als IC eingesetzt. Eine Zusammenstellung gängige S&H-Schaltung nach [TIE99] ist:

Typ	Hersteller	Speicher- kondensator	Einstellzeit	Genauigkeit	Max. Anstiegsgeschw.	Haltedrift	Technologie
LF398	viele	10nF	20us	10Bit	0.5V/us	3mV/s	BiFET
LF398	viele	1nF	4us	10Bit	5V/us	30mV/s	BiFET
AD585	Analog Devices	100pF (intern)	3us	12Bit	10V/us	100mV/s	Bipolar
SHC5320	Burr-Brown	100pF(intern)	1.5us	12Bit	45V/us	100mV/s	Bipolar
SHM20	Datel	intern	1us	12Bit	45V/us	100mV/s	Bipolar
CS3112	Crystal	intern	1us	12Bit	4V/us	1mV/s	CMOS
CS31412 ⁴	Crystal	intern	1us	12Bit	4V/us	1mV/s	CMOS
AD781	Analog Devices	intern	0.6us	12Bit	60V/us	10mV/s	BIMOS
AD682 ²	Analog Devices	intern	0.6us	12Bit	60V/us	10mV/s	BIMOS
AD684 ⁴	Analog Devices	intern	0.6us	12Bit	60V/us	10mV/s	BIMOS
HA5330	Harris	90pF(intern)	0.5us	12Bit	90V/us	10mV/s	Bipolar
AD783	Analog Devices	intern	0.2us	12Bit	50V/us	20mV/s	BIMOS
LF6197	National	10pF(intern)	0.2us	12Bit	145V/us	0.6V/s	BiFET
HA5330	Harris	intern	50ns	12Bit	130V/us	100V/s	Bipolar
AD9100	Analog Devices	22pF(intern)	16ns	12Bit	850V/us	1kV/s	Bipolar
SHM12	Datel	15pF(intern)	15ns	12Bit	350V	500V/s	Bipolar
AD9101	Analog Devices	intern	7ns	10Bit	1.8kV/us	5kV/s	Bipolar
SHC702	Burr-Brown	intern	0.5us	16Bit	150V/us	0.2V/s	Hybrid
SP9760	Sipex	intern	0.35us	16Bit	120V/us	1V/us	Hybrid
SHC803	Burr-Brown	intern	0.25us	12Bit	160V/us	0.5V/s	Hybrid
SHC49	Datel	intern	0.16us	12Bit	300V/us	0.5V/s	Hybrid
HS9730	Sipex	intern	0.12us	12Bit	200V/us	50V/s	Hybrid
SHM43	Datel	intern	35ns	12Bit	250V/us	1V/s	Hybrid
CL942	Comlinear	intern	25ns	12Bit	300V/us	20V/s	Hybrid
SHC601	Burr-Brown	intern	12ns	10Bit	350V/us	20V/s	Hybrid
HTS0010	Analog Devices	intern	10ns	8Bit	300V/us	50V/s	Hybrid
CL940	Comlinear	intern	10ns	8Bit	500V/us	20V/s	Hybrid

²: Zweifach-S&H ⁴: Vierfach-S&H

Beispiel 4-1: Maximale Anstiegsgeschwindigkeit beim AD-Wandler mit und ohne S&H

Da für eine fehlerfreie Quantisierung die Spannungsänderung während der Umsetzung kleiner als eine Quantisierungsstufe sein muss, wird die maximale Eingangsspannungsänderung für ein N -Bit Wandler allgemein:

$$\left. \frac{dU}{dt} \right|_{\max} = 2^{-N} \frac{u_{\max}}{t_{\text{con}}} \quad \begin{array}{l} u_{\max} : \text{Max. Eingangsspannung [V]} \\ t_{\text{con}} : \text{Umsetzzeit [s]} \\ N : \text{Wortbreite des Wandlers [Bit]} \end{array} \quad (4-8)$$

So wird für einen 12Bit AD-Wandler (1/4096 Auflösung) ohne S&H-Schaltung mit einem $u_{\max}=10V$ und einer Umsetzzeit $t_{\text{con}}=0.1s$ die maximal zulässige Eingangsspannungsänderung:

$$\left. \frac{dU}{dt} \right|_{\max} = 2^{-12} \frac{10}{0.1} = 0.0244 \frac{V}{s}$$

Wird hingegen eine Sample&Hold-Schaltung verwendet, wird die Umsetzzeit des AD-Wandlers bedeutungslos. An ihre Stelle tritt die Apertur-Jitterzeit t_{apu} . Unter Verwendung eines S&H-Gliedes mit einer Apertur-Jitterzeit von $t_{apu}=3\text{ns}$ wird die maximal zulässige Eingangsspannungsänderung:

$$\left. \frac{dU}{dt} \right|_{\max} = 2^{-N} \frac{u_{\max}}{t_{apu}} = 2^{-12} \frac{10}{3 \cdot 10^{-9}} = 813.8 \frac{\text{kV}}{\text{s}} = 0.8138 \frac{\text{V}}{\mu\text{s}}$$

Obwohl auch das zweite Resultat nicht berauschend ist, erkennt man aus diesem Beispiel die Notwendigkeit einer Sample&Hold-Schaltung für AD-Wandler und kann abschätzen, welche Anforderungen an den Apertur-Jitter gestellt werden müssen. Ebenso hat die Slew-Rate der S&H-Schaltung einen Einfluss und muss berücksichtigt werden.

4.1.7 Parallelverfahren

Beim Parallelverfahren (Flash-Verfahren) erfolgt eine direkte Umsetzung indem für jeden möglichen Ausgangswert ein eigener Komparator verwendet wird. Parallel-Wandler sind dadurch sehr schnell aber in ihrer Auflösung beschränkt, dass der Aufwand exponentiell ansteigt.

In integrierter Technik sind direkte Umsetzraten von >1GHz bei > 8Bit möglich. Beispiel: Digital-Speicher KO der neuesten Generation.

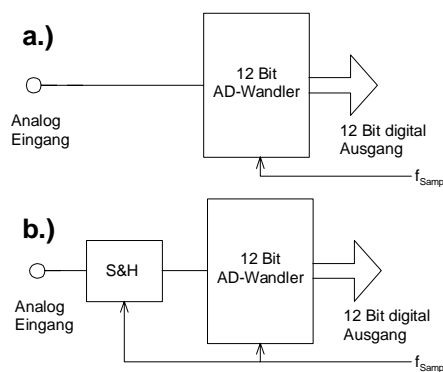


Bild 4-14: AD-Wandler nach Beispiel 4-1:
a.) Einfachst-Wandler ohne Halteglied.
b.) AD-Wandler mit Halteglied

Arbeitsweise

Beim Parallelverfahren erfolgt die gesamte Wandlung in einem Taktzyklus. Der Aufwand nimmt aber mit steigender Umsetzgenauigkeit exponentiell zu. Ein 10-Bit Wandler braucht 1023 Komparatoren, deren Schaltpunkte auch präzise sein müssen. Der typische Aufbau eines Parallel-Wandlers ist in Bild 4-15 gezeigt.

Die Sample&Hold-Schaltung hält die Eingangsspannung während der Wandlung konstant. Die Ansteuerung erfolgt mit der Abtastfrequenz f_s . Die 2^N-1 Komparatoren vergleichen den gehaltenen Wert mit Referenzspannungen, die aus einer Referenzspannungsquelle über ein Spannungsteilernetzwerk gebildet werden.

Das D-Register speichert die Komparatorzustände. Mit dem Register wird sichergestellt, dass aufgrund unterschiedlicher Komparatorlaufzeiten keine falschen Werte am Ausgang erscheinen. Es erfüllt daher die Funktion eines digitalen Sample&Hold-Gliedes. Ein Codierer liefert am Ausgang den Binärcode der zugehörigen gespeicherten Komparatorzustände.

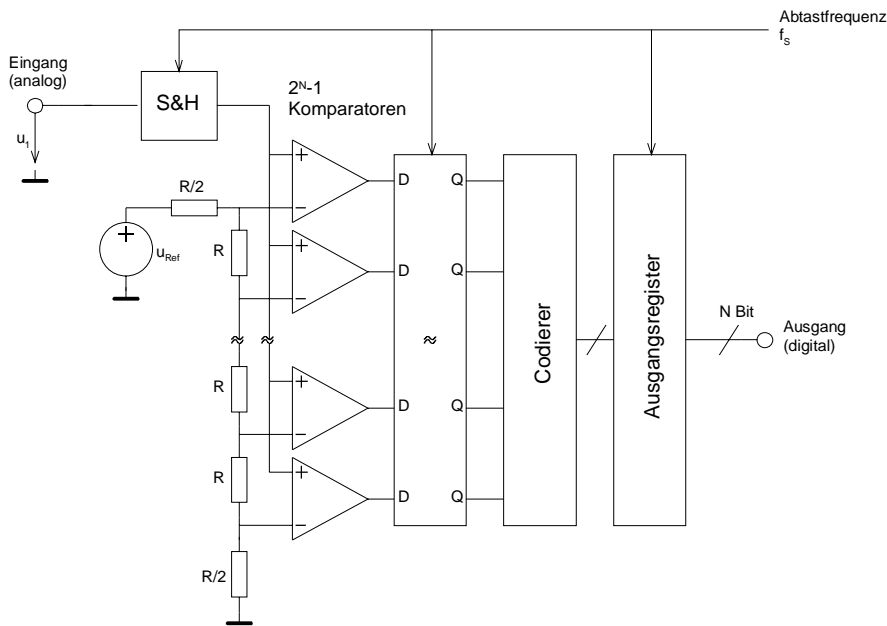


Bild 4-15: Prinzip-Blockschaltbild eines AD-Wandlers nach dem Parallelverfahren.

Bei Wandler für sehr hohe Abtastraten wird häufig auf das analoge Sample&Hold-Glied am Eingang verzichtet. Nach [TIE99] haben schnelle Halteglieder eine beträchtliche Drift und daher wird die Genauigkeit beeinträchtigt. Die heute erreichbaren Abtastraten liegen bei 1GHz und 8-12Bit

Beispiele für handelsübliche Parallel-AD-Wandler sind nach [TIE99]:

Typ	Hersteller	Abtastfrequenz	Betriebsspannung	Verlustleistung	Eing. Kapazität	Apertur-Jitter	Logik Familie
8Bit							
ADC307	Datel	125MHz	-5.2V	870mW			ECL
ADC309	Datel	500MHz	-5.2V	2800mW	6pF	11ps	ECL
HI306	Harris	140MHz	+5V	360mW	21pF	10ps	TTL
MAX104	Maxim	1000MHz	±5V	3500mW			ECL
MAX1114	Maxim	150MHz	-5.2V	2200mW	10pF	5ps	ECL
MAX1150	Maxim	500MHz	-5.2V	5500mW	15pF	2ps	ECL
MAX1151	Maxim	750MHz	-5.2V	5500mW	15pF	2ps	ECL
TDA7818	Philips	600MHz	-5.2V	990mW	5pF		ECL
TDA8793	Philips	100MHz	+3.3V	150mW	2pF		CMOS
CXA1276	Sony	500MHz	-5.2V	2800mW			ECL
SPT7710	CPT	150MHz	-5.2V	2200mW	10pF	5ps	ECL
SPT7750	CPT	500MHz	-5.2V	5500mW	15pF	2ps	ECL
SPT7760	CPT	1000MHz	-5.2V	5500mW	15pF	2ps	ECL
10Bit							
AD9020	Analog Devices	60MHz	±5V	2800mW	45pF	5ps	TTL
AD9060	Analog Devices	75MHz	±5V	2800mW	45pF	5ps	ECL
TDA8762	Philips	80MHz	+5V	380mW	5pF		CMOS

4.1.8 Kaskaden-Wandler

Man kann den Aufwand des Parallelverfahrens für grössere Wortbreiten reduzieren, wenn Kompromisse in Umsetzungsgeschwindigkeit eingegangen werden. Umsetzraten von >100MHz bei 10Bit sind aber problemlos erreichbar.

Beim Kaskadenprinzip in zwei m -Bit Wandlungen, wobei $N=2m$. Es erfolgt zuerst eine „Grobdigitalisierung“ der höherwertigen m Bits. Anschliessend werden die niederwertigen m Bits digitalisiert. Intern werden für beide Aktionen Parallel-Wandler benutzt.

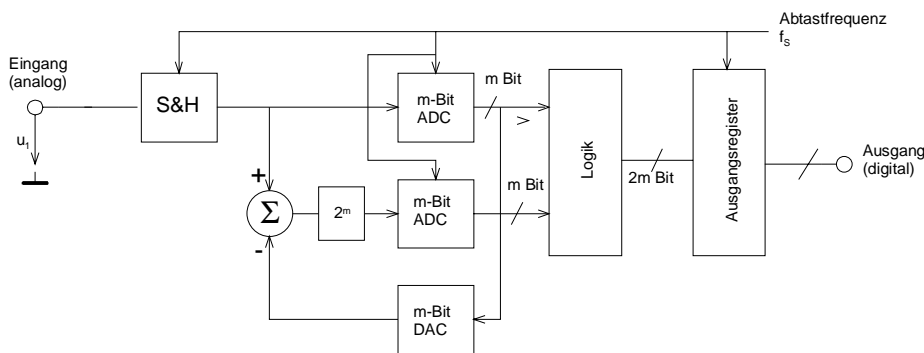


Bild 4-16: Blockschaltbild eines Kaskaden-AD-Wandlers (Half-Flash).

So kann ein 10Bit Wandler durch eine Kaskade zweier 5Bit Parallel-Wandler realisiert werden. Dabei wird in einem ersten Schritt eine Grobquantisierung mit 5 Bit durchgeführt. Ein DA-Wandler bildet die zu diesem effektiv gehörende Spannung. In einem Subtrahierer wird die Differenz der noch zu digitalisierenden Spannung gebildet. Dies erfolgt in einem zweiten 5 Bit Wandler.

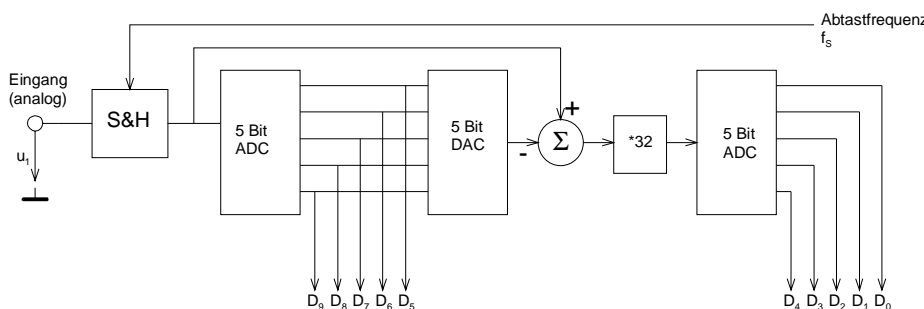


Bild 4-17: Beispiel eines 10-Bit Half-Flash-Wandlers mit zwei 5-Bit Umsetzer.

Beispiel nach [TIE99], S.1051

Allerdings sind bei diesem Verfahren die Anforderung an den ersten AD-Wandler sehr hoch. Er muss über volle Umsetzungsgenauigkeit (d.h. 10Bit Präzision) verfügen, obwohl er nicht volle Wortbreite hat. Sonst wird die gebildete Differenz falsch und der zweite AD-Wandler wird übersteuert. Dies äussert sich in Missing Codes. Eine digitale Fehlerkorrektur mit erhöhtem Schaltungsaufwand ist in Grenzen möglich, vgl. hierzu [TIE99], S.1051.

Beim Subranging-Prinzip erfolgt auch eine Aufteilung in zwei m -Bit Wandlungen. Die Wandlung beider Gruppen erfolgt aber sequentiell, wobei nur ein AD-Wandler benötigt wird. Die Umsetzzeit steigt aber gegenüber dem Half-Flash-Kaskadenwandler an.

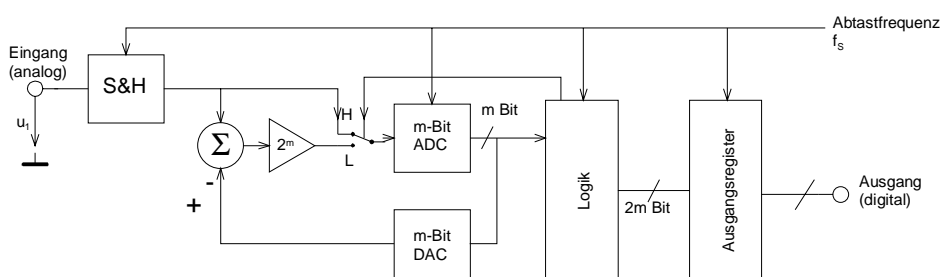


Bild 4-18: Blockschaltbild Subranging Wandler.

Im ersten Zyklus steht der Schalter in Stellung H. Es erfolgt die Wandlung der höherwertigen m Bits. Im zweiten Schritt steht der Schalter auf L. Am AD-Wandler steht die um 2^m verstärkte Differenzspannung an. Diese bestimmt die niederwertigen m Bits. Die Ablaufsteuerung erfolgt durch die Logik die mit der Abtastfrequenz getaktet wird.

4.1.9 Sukzessive Approximation (SAR)

N -Bit Wandler mit sukzessiver Approximation wandeln eine Eingangsspannung innerhalb von N Zyklen um. Dabei wird ein Wägeverfahren angewandt: Die Eingangsspannung wird solange mit dem Analogwert des systematisch erzeugten Ausgangswertes verglichen (gewogen), bis beide Werte gleich sind.

Dabei wird mit einem Komparator der aktuelle Analogwert mit der Spannung eines DA-Wandlers verglichen, die dem aktuell digitalisierten Wert entspricht. Das SAR bestimmt nun bitweise mit Hilfe eines Wägeverfahrens ob die Eingangsspannung grösser oder kleiner als die Ausgangsspannung des DA-Wandlers ist.

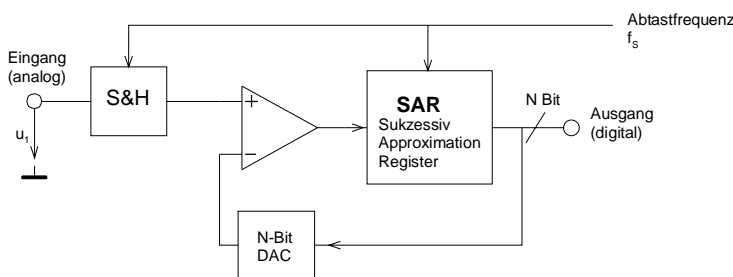


Bild 4-19: Blockschaltbild eines Wandler nach dem Verfahren der Sukzessiven Approximation.

Das Verfahren kann mit einer binären Suche in maximal N Zyklen den Wert bestimmen. Dabei wird mit dem höchstwertigen Bit begonnen und geprüft, ob die Eingangsspannung grösser oder kleiner ist. Ist sie grösser, wird das Bit beibehalten. Ist sie kleiner, wird das Bit Null gesetzt. Diese Prozedur wird für jede binäre Stelle wiederholt. Der Wandler approximiert schrittweise den Wert in N Zyklen:

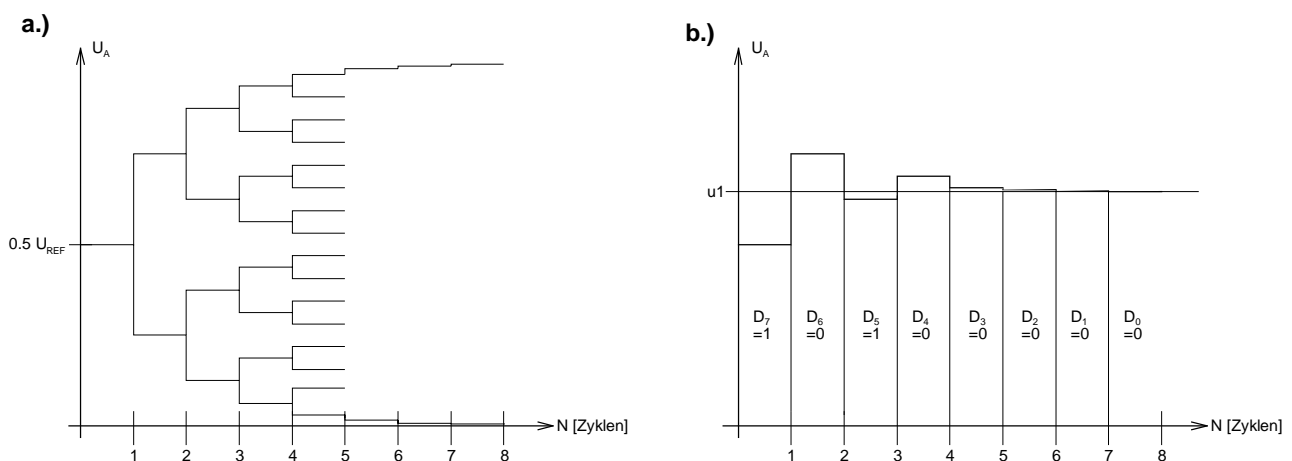


Bild 4-20: .

- a.) Sukzessive Approximation nach binärem Baum. Der Ausgangswert wird nach spätestens N Zyklen erreicht.
- b.) Beispiel zur Entwicklung des Ausgangswertes beim SAR-Wandler

4.1.10 Zählverfahren

AD-Wandler nach dem Zählverfahren haben den geringsten Schaltungsaufwand, sind aber relativ langsam. Die Wandlungszeiten liegen im Bereich 1ms..1s, je nach Auflösung und Abtastfrequenz. Daher werden diese Wandlertypen vor allem zur Messung bei langsam ändernden Spannungen eingesetzt, wie z.B. in Digitalvoltmetern und Temperaturmessern.

Unter dem Begriff „Zählverfahren-Wandler“ werden verschiedene Typen zusammengefasst.

- Tracking (Nachlaufverfahren)
- Single Slope (Ein-Rampen Verfahren)
- Dual Slope (Zwei Rampen Verfahren)

Das Dual-Slope Verfahren hat die grösste Verbreitung

Tracking Verfahren

Das Nachlaufverfahren arbeitet ähnlich dem SAR-Verfahren jedoch wird der digitale Wert mit einem gesteuerten Vor-Rückwärts-Zähler erzeugt. Da jeweils in einem Taktzyklus der Zähler nur um eine Stelle bewegt wird, erfolgt die Wandlung wesentlich langsamer als bei einem SAR-Wandler.

Vorteil der Tracking-Wandler ist der geringe Schaltungsaufwand. Da heute praktisch ausschliesslich mit IC-Wandler gearbeitet wird, fällt dieser Vorteil weg.

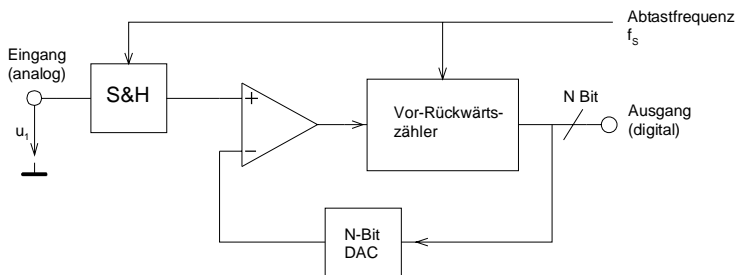


Bild 4-21: Blockschaltbild eines AD-Wandlers nach dem Tracking-Verfahren.

Dual-Slope Verfahren

Beim Dual-Slope Verfahren wird in einer ersten Phase das Eingangssignal eine definierte Zeit integriert (geladen). In der zweiten Phase erfolgt eine definierte Rückintegration (entladen) mit der Referenzspannung.

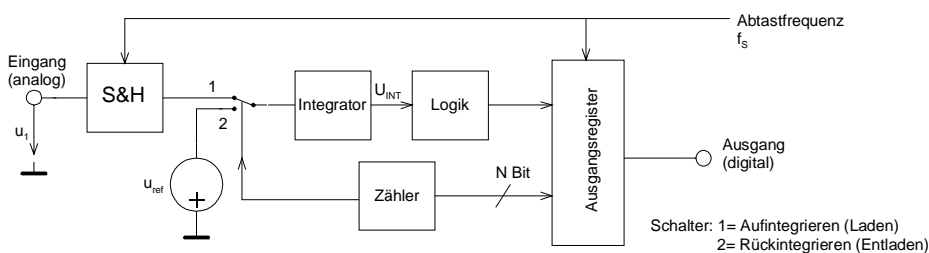


Bild 4-22: Blockschaltbild Dual-Slope Wandler.

Aus der Anzahl Takte, die zum Erreichen des Nullwertes gebraucht wurden, wird in einem Zähler der digitale Wert gebildet. Dies ist der Wert, der aus dem Verhältnis gebildet wird:

$$\frac{U_{1S}}{U_{Ref}} = \frac{t_2}{t_1} \quad (4-9)$$

Den Verlauf der Spannung am Integratorausgang für verschiedene Eingangsspannungen u_{1A} , u_{1B} , u_{1C} zeigt Bild 4-23. Man beachte, dass die Steigung der Entladekurve immer gleich ist, für unterschiedliche Eingangsspannung die Ladekurve aber unterschiedliche Steigung aufweist.

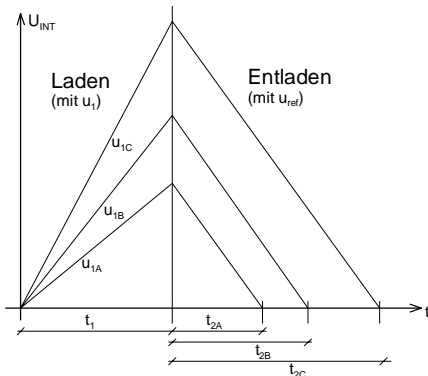


Bild 4-23: Lade- und Entladevorgänge beim Dual-Slope Wandler für verschiedene Eingangsspannungen.

4.1.11 Delta-Sigma Wandler

$\Delta\Sigma$ -Wandler sind überabtastende Wandler. Sie benötigen wegen der hohen Wandlungsrate vielfach kein Sample&Hold-Glied am Eingang. Ein analoger Tiefpass zur Bandbreitenbegrenzung ist aber schon aus Gründen der Störfestigkeit notwendig.

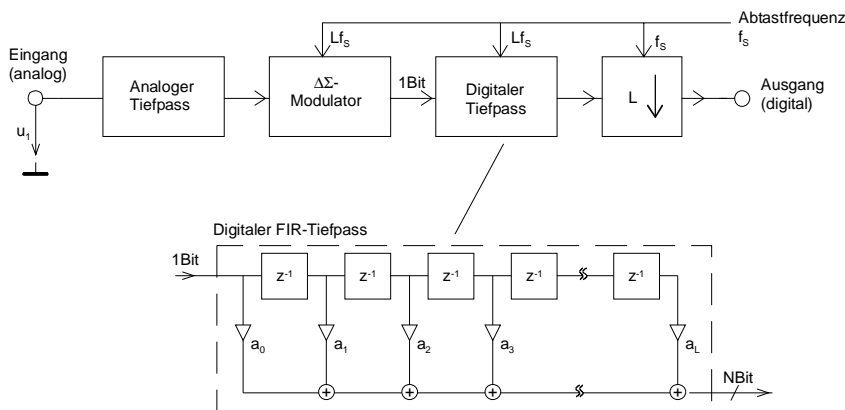


Bild 4-24: Blockschaltbild eines $\Delta\Sigma$ -Wandlers.

Der $\Delta\Sigma$ -Modulator ist ein 1-Bit Wandler und führt den 1/0 Wert auf das digitale Tiefpassfilter. Es stellt am Ausgang das gefilterte Signal als digitale N -Bit Folge zur Abtastratenreduktion bereit. Die Abtastratenwandlung erfolgt, indem einfach jeder L -te Wert übernommen und ausgegeben wird.

Mit $\Delta\Sigma$ -Sigma-Wandler können sehr hochwertige, d.h. fein auflösende, AD-Wandler realisiert werden. So sind Auflösungen mit 20-24 Bit für Eingangssignale bis 100kHz heute Stand der Technik. Dennoch sind AD-Wandler mit ≥ 16 Bit Auflösung in der Realisierung anspruchsvoll. Dem Layout, insbesondere Führung der digitalen und analogen Masseleitungen, ist grosse Beachtung zu schenken. Ebenso der Stromversorgung und Erzeugung der Referenzspannungen.

4.2 DA-Wandler

Sie wandeln einen digitalen Eingangswert in einen proportionalen analogen Ausgangswert um. Die Wandlung erfolgt bis auf das $\Delta\Sigma$ -Verfahren ausschliesslich in paralleler Form. Daher sind die erreichbaren Wandlungsraten hoch.

4.2.3 DA-Wandler Kenngrössen

Die Definition der Kenngrössen erfolgt analog den Aussagen zum AD-Wandler. Eine zusammenfassende Beschreibung der Kenngrössen wird nach [ZOE97]:

Auflösung

Sie besagt, welche Wortbreite N in Bits zur Umsetzung verwendet wird..

Einstellzeit (Settling Time)

Sie beschreibt die maximal notwendige Zeit t_{SE} , vom Anlegen des binären Wortes am Eingang bis zum Erreichen des analogen Ausgangswertes innerhalb einer Toleranz. Sie ist daher als Umsetzzeit zu sehen. Die Einstellzeit definiert die maximale Wandlungsfrequenz mit $f_{max} = 1/t_{SE}$.

Offset- und Verstärkungsfehler

Offsetfehler äussern sich in einer seitlichen Verschiebung der Umsetzkennlinie. Verstärkungsfehler in einer Abweichung der idealen Steigung. Meist kann schaltungstechnisch eine Kompensation erfolgen.

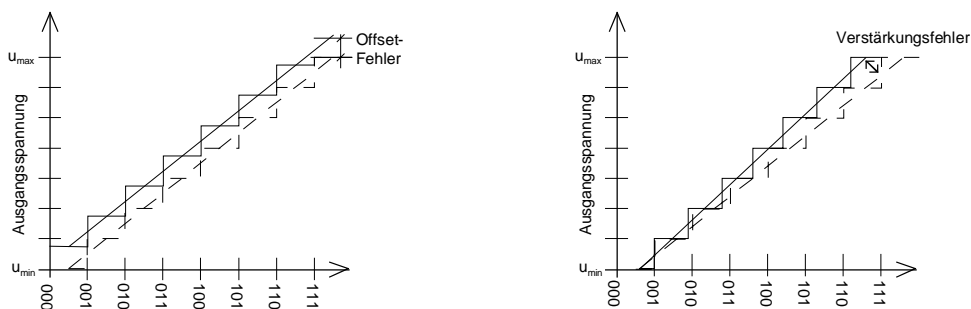


Bild 4-25: Einfluss der Offset- und Verstärkungsfehler beim DA-Wandler.
Bild nach [ZOE99]

Monotonie

Bei gleichmässig steigender Eingangsspannung wird eine gleichmässig steigende Ausgangsspannung in Quantisierungsschritten erwartet. Bei Monotoniefehler treten gewisse Ausgangsspannungen nicht auf.

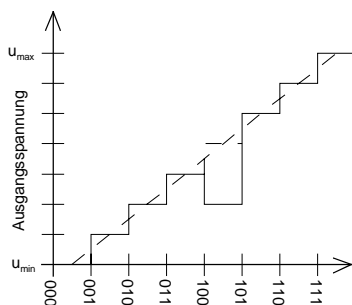


Bild 4-26: Monotoniefehler beim DA-Wandler. Sie äussern sich in „Missing Codes“. Bild nach [ZOE99]

Integrale Nichtlinearität (INL)

Sie beschreibt den Fehler zwischen der realen Ausgangsspannung und dem idealen Wert. Er wird in Anzahl LSB angegeben.

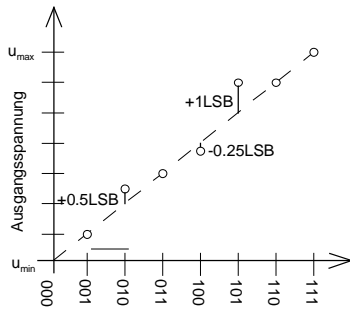


Bild 4-27: Integrale Nichtlinearität als Abweichung zwischen tatsächlichem und idealem Wert.

Differenzielle Nichtlinearität (DNL)

Idealerweise bewirkt eine Erhöhung des Codewortes um ein LSB eine Erhöhung der Ausgangsspannung um eine Quantisierungsstufe. Die differenzielle Nichtlinearität (DNL) beschreibt den maximalen Stufenbreitenfehler in Anzahl LSB.

4.2.4 Geschaltete Strom- und Spannungsquellen

Sie verkörpern die prinzipielle Methode nach denen eine Umsetzung des digitalen in den analogen Wert erfolgt.

Bei Wandlung mit geschalteten Spannungsquellen wird der Analogwert mit einer Spannungsteilernetz bestimmt. Am Ausgang liegt eine schalterstellungsproportionale Spannung an. Bei grossen Bitbreiten wird die grosse Anzahl gleicher Widerstände und Schalter problematisch.

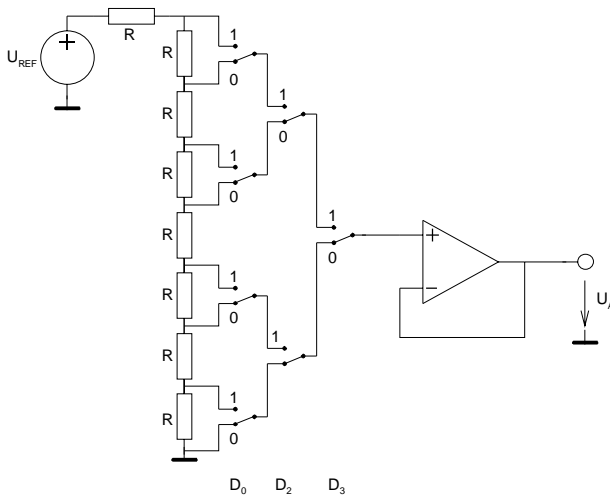


Bild 4-28: DA-Wandler mit geschalteten Spannungsquellen. Gezeigt am Beispiel eines 3-Bit DA-Wandlers.

Beim Wandler mit geschalteten Stromquellen wird für jeden Ausgangswert eine Stromquelle geschaltet. Der Nachfolgende I/U-Wandler liefert am Ausgang eine stromproportionale Spannung.

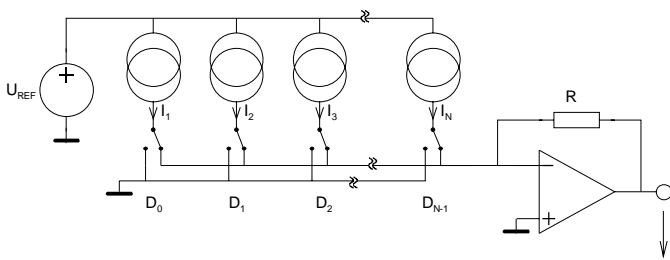


Bild 4-29: DA-Wandler mit geschalteten Stromquellen.

In der Praxis arbeiten die DA-Wandler meist auf der Grundlage der geschalteten Stromquellen.

4.2.5 Gewichtete Widerstände

Hierbei erfolgt eine Summation gewichteter Ströme, also nach dem Prinzip der geschalteten Stromquellen nach Bild 4-29. Durch einen Strom-Spannungswandler wird die Stromsumme in eine proportionale Spannung umgesetzt.

Für eine Wandlung mit N binär gewichteten Stromquellen der Grösse $I_1 = 2I_2 = 4I_3 = \dots = 2^{N-1}I_N$ wird die Ausgangsspannung U_A :

$$U_A = -R \cdot I = -R \sum_{i=0}^{N-1} I_i \quad (4-10)$$

Die Realisation der Stromquellen kann durch ein Widerstandsnetzwerk erfolgen, das von einer Referenzspannungsquelle gespeist wird:

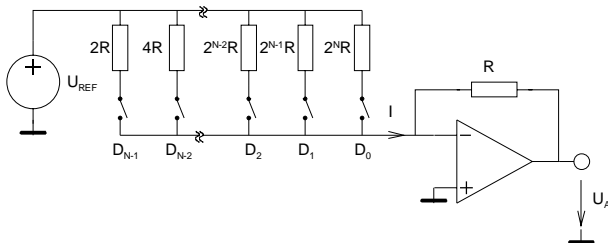


Bild 4-30: Realisation eines DA-Wandlers nach dem Prinzip der geschalteten Stromquellen. Die Ströme werden durch gewichtete Widerstände aus einer Referenzspannung erzeugt.

Da im Summierer alle Ströme ohne gegenseitige Beeinflussung aufsummiert werden, gilt:

$$U_A = -R \cdot I = -R \left(\frac{D_0}{2^N R} + \frac{D_1}{2^{N-1} R} + \frac{D_3}{2^{N-2} R} + \dots + \frac{D_{N-2}}{4R} + \frac{D_{N-1}}{2R} \right) U_{REF}$$

$$= -U_{REF} \left(\frac{D_0}{2^N R} + \frac{D_1}{2^{N-1} R} + \frac{D_3}{2^{N-2} R} + \dots + \frac{D_{N-2}}{4R} + \frac{D_{N-1}}{2R} \right)$$

Wobei die D_N die binäre Wertigkeit (0/1) der einzelnen Stellen verkörpern. Zusammengefasst gilt für den Wandler mit gewichteten Widerständen:

$$U_A = -U_{REF} \frac{Z}{2^N} \quad I_1 = \frac{U_{REF}}{R} \frac{Z}{2^N} \quad Z = \text{Binärwort} \quad (4-11)$$

4.2.6 R-2R-Widerstandsnetzwerke in Leiterstruktur

Eine Umsetzung nach dem Verfahren der geschalteten Stromquellen kann mit einem R-2R Netzwerk mit Wechselschaltern erfolgen. Dies bringt ein kleineres maximales Widerstandsverhältnis und die Auswahl eng tolerierter Widerstände wird daher einfacher.

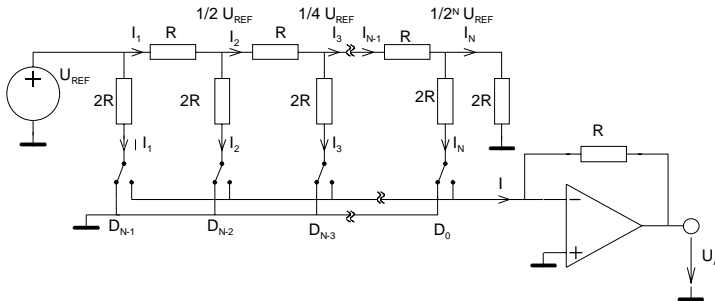


Bild 4-31: Verbesserte Schaltung für einen DA-Wandler mit einem R-2R Netzwerk.

Für diesen Wandlertyp wird die Ausgangsspannung für ein gegebenes Binärwort Z :

$$U_A = -U_{REF} \frac{Z}{Z_{max} + 1} \quad (4-12)$$

Die Herleitung der Formel kann durch Analyse des Leiternetzwerkes erfolgen. Die Vorhergehende Stufe stellt eine Quelle mit dem Innenwiderstand R dar. Vgl. hierzu auch [TIE99], S. 1029.

4.2.7 Inverse Leiterstruktur

Bei dieser Form der DA-Wandlung wird am Ausgang direkt eine belastungsabhängige Spannung erzeugt. Dies erreicht man indem das Leiternetzwerk mit vertauschten Eingang und Ausgängen betrieben wird. Dadurch fällt auch der Summier-I/U-Wandler nach Bild 4-31 weg. Durch den Wegfall des Verstärkers erreicht man höhere maximale Umsetzfrequenz.

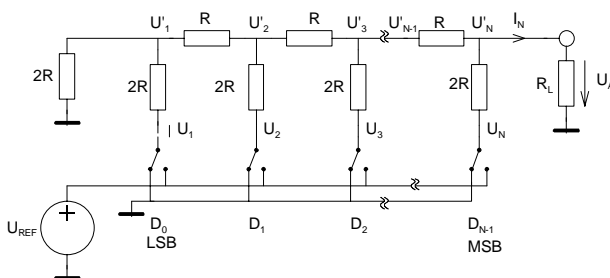


Bild 4-32: DA-Wandler mit inversem R-2R Netzwerk.

Für das mit R_L belastete inverse Leiternetzwerk zur Umsetzung der Zahl Z im Bereich $[0, Z_{max}]$ gilt:

$$U_A = U_{REF} \frac{R_L}{R + R_L} \frac{Z}{Z_{max} + 1} \quad (4-13)$$

Die Berechnung der Ausgangsspannung kann durch Superposition erfolgen. Man setzt alle Spannungen ausser der eingespiessenen Spannung gleich Null und addiert die einzelnen Anteile. Wir betrachten hierzu stellvertretend einen 3-Bit Wandler:

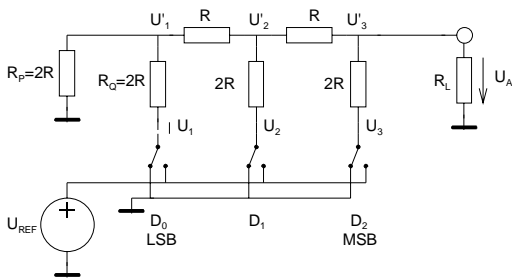


Bild 4-33: Inverses R-2R Netzwerk eines 3-Bit DA-Wandlers als Grundlage zur Analyse nach dem Superpositionsprinzip.

Der von D_0 eingespeiste Anteil wird:

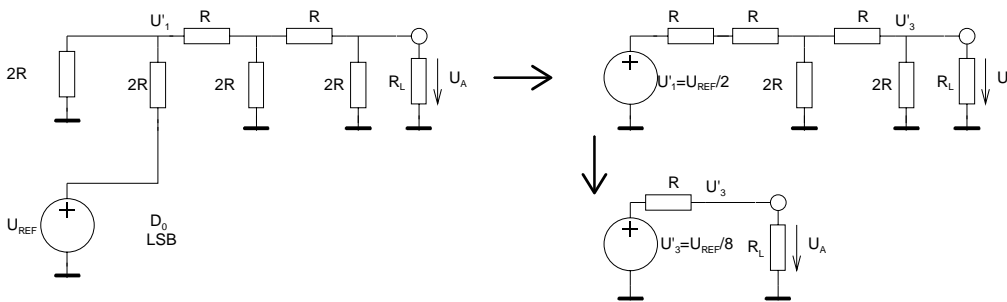


Bild 4-34: Entwicklung des Stromanteils von D_0 aus Bild 4-33.

$$U_{A1} = \frac{U_{REF}}{8} \frac{R_L}{R + R_L}$$

Analog werden die Anteile für D_1 und D_2 :

$$U_{A2} = \frac{U_{REF}}{4} \frac{R_L}{R + R_L} \quad U_{A3} = \frac{U_{REF}}{2} \frac{R_L}{R + R_L}$$

Die Ausgangsspannung wird die Summe aller Spannungsteile. Unter der Vorgabe, dass die Schalterstellungen für D_0, D_1, D_2 jeweils durch Binärwerte 1/0 verkörpert werden, gilt:

$$U_A = U_{A1} + U_{A2} + U_{A3} = U_{REF} \frac{R_L}{R + R_L} \left(\frac{D_0}{8} + \frac{D_1}{4} + \frac{D_2}{2} \right)$$

4.2.8 DA-Wandler in Bipolar-Technologie

Mit Bipolar-Transistoren lassen sich einfach präzise Stromquellen realisieren. So wird ein Wandler nach dem Prinzip der geschalteten Stromquellen:

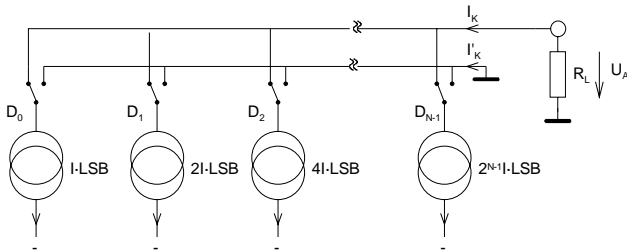


Bild 4-35: DA-Wandler mit geschalteten Stromquellen.

Für die Stromquellen wird eine Stromquellenbank mit normalen Bipolar-Transistoren verwendet. Die Schaltung erfolgt durch die einzelnen Kollektorströme. Um unvermeidliche Toleranzeinflüsse abzumildern, werden die Ströme nicht direkt zusammengeführt sondern über ein Leiternetzwerk zur Stromteilung erzeugt. Die Temperaturabhängigkeit wird verbessert indem man alle Transistoren mit dem gleichen Kollektorstrom speist. Dabei werden so viele Transistoren parallel geschaltet das durch jeden nur I_{LSB} fliesst. In ICs werden für die höheren Ströme grösserflächige Transistoren eingesetzt.

In der Stromquellenbank liegen alle Transistoren auf dem gleichen Basispotential. T_1 ist der

Referenztransistor. In ihm fliesst $I_{REF} = \frac{U_{REF}}{R_{REF}} = 2^{N-1} I_{LSB}$.

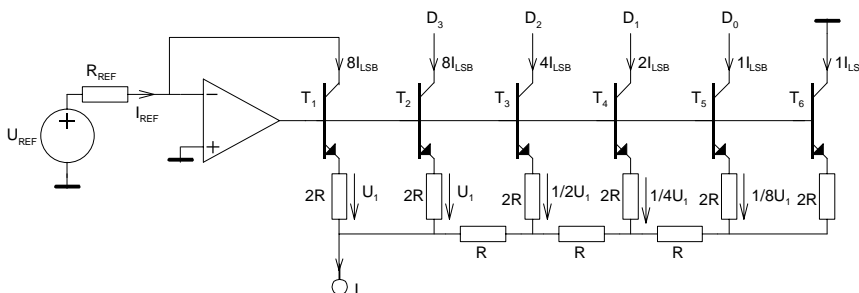


Bild 4-36: Gebräuchliche Prinzipschaltung eines 4-Bit DA-Wandlers mit geschalteten Stromquellen in Bipolar-Technologie.

Der Abschlusswiderstand mit Grösse $2R$ muss auf Emittorpotenzial liegen und darf nicht direkt an Masse gelegt werden. Dies wird mit Transistor T_6 erreicht.

4.2.9 Vorzeichenbehaftete DA-Wandlung

Hierbei werden vorzeichenbehaftete Binärwerte gewandelt, die bei negativem Wert eine negative Ausgangsspannung erzeugen. Wir betrachten die Umsetzung anhand eines Beispiels mit einem 8-Bit Wandler in Anlehnung an [TIE99], S.1033.

Üblicherweise liegen die Binärwerte in Zweierkomplementdarstellung vor. Zur Wandlung verschiebt man den Zahlenbereich von $[-128,+127]$ durch Addition von 128 in den Bereich $[0,255]$. Die Addition erfolgt durch Negation des höchstwertigen Bits D_7 . Zahlen über 128 sind demnach positive Werte. Diese Darstellung nennt man Offset-Dualdarstellung. Die Addition des Offsets wird im Analogteil wieder rückgängig gemacht, indem die halbe Referenzspannung mit IC2 subtrahiert wird.

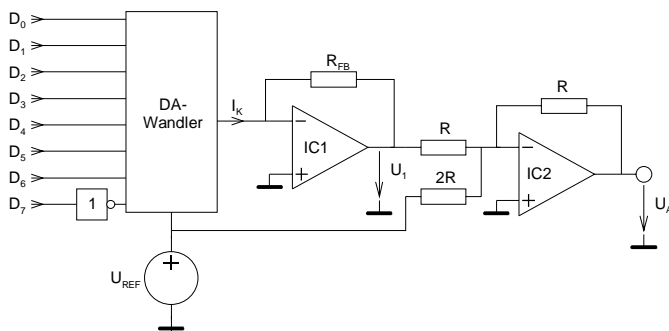


Bild 4-37: DA-Wandler mit bipolarem Ausgang nach [TIE99], S.1033

Die Ausgangsspannung wird für den 8-Bit Wandler:

$$U_A = -U_1 - \frac{1}{2}U_{REF} = U_{REF} \frac{Z + 128}{256} - \frac{1}{2}U_{REF} = U_{REF} \frac{Z}{256}$$

4.2.10 Multiplizierende DA-Wandler

Die meisten bisher betrachteten DA-Wandler liefern eine Ausgangsspannung die proportional zum Produkt einer Binärzahl mit der Referenzspannung ist. Ist die Referenzspannung variabel spricht man von multiplizierenden DA-Wandlern.

Bei Bipolar-Wandlern sind nur positive Referenzspannungen erlaubt, da sonst die Stromquellen sperren würden. Bei CMOS-Wandler sind hingegen positive und negative Referenzspannungen zulässig. Diese Wandler erlauben eine vorzeichenrichtige Umsetzung von positiven und negativen Werten (Vier-Quadranten Multiplikation).

4.2.11 Dividierende DA-Wandler

Durch geeignete Beschaltung kann ein multiplizierender DA-Wandler auch so betrieben werden, dass die Eingangsspannung U_E durch die Binärzahl Z dividiert wird.

Mit dieser Schaltung hat man die einfache Möglichkeit eine analoge Division (mit Logarithmierer und Exponentialverstärker) oder digitale Division zu umgehen. Diese wären schaltungstechnisch immer wesentlich aufwändiger.

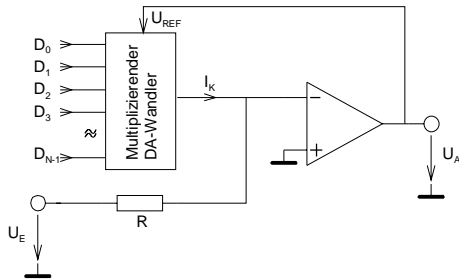


Bild 4-38: Dividierender DA-Wandler nach [TIE99], S.1036

In der Gegenkopplungsschleife stellt sich Referenzspannung U_{REF} so ein, dass $I_K = \frac{-U_E}{R}$. Dann wird

$$I_K = \frac{U_{REF}}{R} \frac{Z_{\max} + 1}{Z}.$$

Für die Ausgangsspannung gilt $U_A = U_{REF}$. Daher wird U_A :

$$U_A = U_{REF} = I_K R \frac{Z_{\max} + 1}{Z} = -U_E \frac{Z_{\max} + 1}{Z}$$

4.3 Literatur zu Kapitel 4

[ANA72] Analog-Digital Conversion Handbook, Analog Devices 1972, Part II-Chap. 2

[GRU01] Digitale Signalverarbeitung, Daniel Ch. von Grünigen, Fachbuch Verlag Leipzig 2001, ISBN 3-446-21445-3, Kapitel 2.4

[TIE99] Halbleiter Schaltungstechnik, U.Tietze/ Ch. Schenk, Springer Verlag 1999, 11. Aufl., ISBN 3-540-64192-0, Kapitel 21/ 22

[ZOE97] Digitale Audiosignalverarbeitung, Udo Zölzer, B.G. Teubner Verlag, 1997 2. Aufl., ISBN 3-519-16180-X, Kapitel 2.1/3.2/3.3